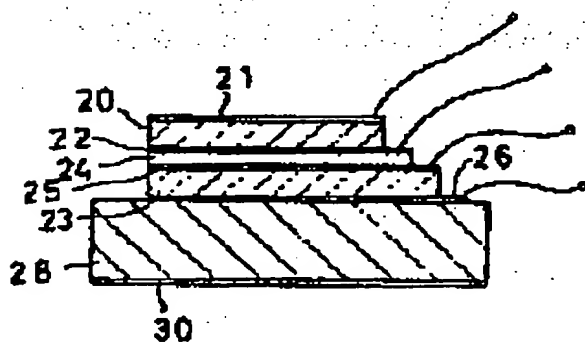
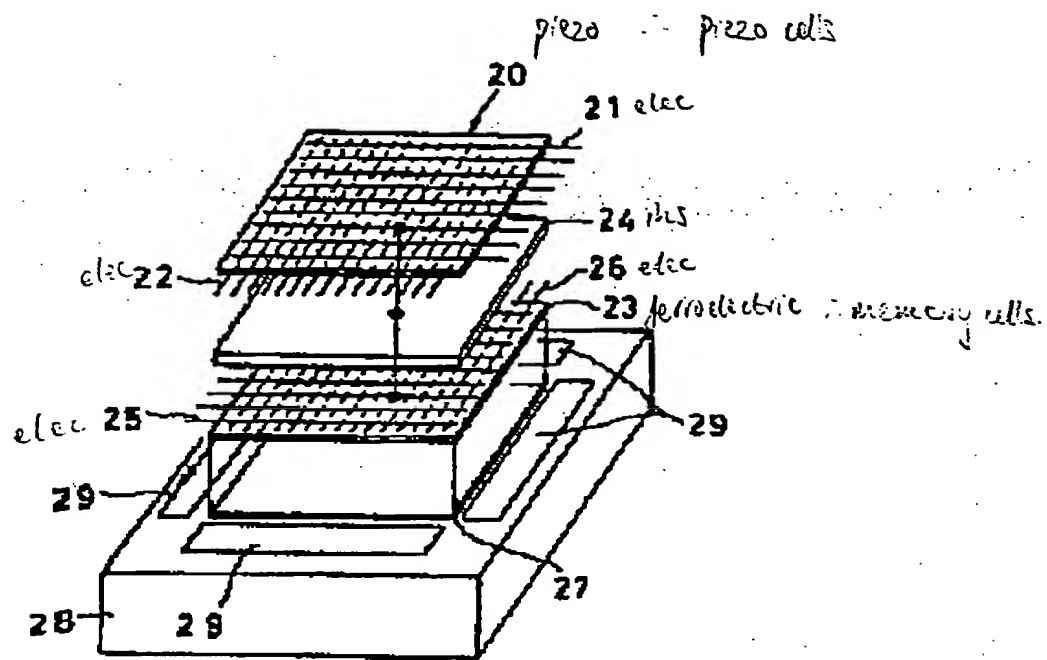

WPI

TI - Memory device - has ferroelectric data storage layer on piezoelectric layer which polarises storage layer NoAbstract Dwg 1,2/14
AB - J04038866
PN - JP4038866 A 19920210 DW199219 012pp
PR - JP19900145621 19900604
PA - (OLYU) OLYMPUS OPTICAL CO LTD
MC - U14-A03F
DC - U14
IC - H01L27/10
AN - 1992-153892 [19]

PAJ

TI - MEMORY DEVICE AND ITS RECORDING/REPRODUCING METHOD
AB - PURPOSE: To increase exceedingly its capacity by installing a ferroelectric conductor layer where stress laminated on one side of a piezoelectric body layer is transmitted, a write in electrode which turns the ferroelectric conductor layer into a partial electrode condition, and a read out electrode which generates stress to such an extent which does not destroy the partial electrode condition.
- CONSTITUTION: Stripe-shaped electrodes 21 and 22 are laid out on both sides of a piezoelectric body film 20 having a piezoelectric characteristic. A ferroelectric conductor film 23 is laid out on both sides on one side of the piezoelectric body film 20 by way of an insulation film 24. On the both sides of the ferroelectric body film 23 there are laid out stripe-shaped electrodes 25 and 26 which cross each other between both ends. Moreover, the respective stripe-shaped electrodes 21, 22, 25, and 26 are laid out so that the intersection where the stripe-shaped electrode 21 formed on one side of the piezoelectric body film 20 crosses the electrode formed on the other side may respond to the intersection between the electrodes 25 and 26 on the ferroelectric film 23 on a one to one basis. A piezoelectric cell is formed in a section where the electrodes 21 and 22 on each side of the piezoelectric film 20 intersect each other while a memory cell is formed on a section where the electrodes 25 and 26 on each side of the ferroelectric body film 23 intersect each other.
PN - JP4038866 A 19920210
PD - 1992-02-10
ABD - 19920525
ABV - 016224
AP - JP19900145621 19900604
GR - E1206
PA - OLYMPUS OPTICAL CO LTD
IN - ADACHI HIDEO; others: 02
I - H01L27/10



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-38866

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月10日

H 01 L 27/10

4 3 1

8831-4M

審査請求 未請求 請求項の数 5 (全12頁)

⑭ 発明の名称 メモリ装置およびその記録・再生方法

⑮ 特 願 平2-145621

⑯ 出 願 平2(1990)6月4日

⑰ 発 明 者 安 達 日 出 夫 東京都渋谷区幡ヶ谷2丁目43番2号 オリジナル光学工業株式会社内
⑱ 発 明 者 大 村 正 由 東京都渋谷区幡ヶ谷2丁目43番2号 オリジナル光学工業株式会社内
⑲ 発 明 者 由 森 博 之 東京都渋谷区幡ヶ谷2丁目43番2号 オリジナル光学工業株式会社内
⑳ 出 願 人 オリジナル光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号
㉑ 代 理 人 弁理士 坪 井 淳 外2名

明 細 書

1. 発明の名称

メモリ装置およびその記録・再生方法

2. 特許請求の範囲

(1) 印加電圧に応じた圧電特性を示す圧電体層と、この圧電体層の一方の面に積層され、圧電体層の逆圧電効果によって発生した応力が伝達するように積層した強誘電体層と、この強誘電体層を挟んで対向配置され前記強誘電体層を記憶すべき情報に応じた分極状態に分極するための電界を発生させる書き込み電極と、前記圧電体層を挟んで対向配置され前記強誘電体層の分極状態を破壊しない程度の応力を発生させる大きさの電界を発生させる読み出し電極とを具備したことを特徴とするメモリ装置。

(2) 前記圧電体層と前記強誘電体層との間に配置される前記書き込み電極および前記読み出し電極の各電極片を共通電極片としたことを特徴とする請求項1記載のメモリ装置。

(3) 前記書き込み電極および読み出し電極は前記圧電

体層および前記強誘電体層のそれぞれの両面間で互いに直交するストライプ状の電極からなり、強誘電体層の一方の面に形成されたストライプ状の電極片と強誘電体層の他方の面に形成されたストライプ状の電極片とが交差する部分をメモリセルとし、圧電体層の一方の面に形成されたストライプ状の電極片と圧電体層の他方の面に形成されたストライプ状の電極片とが交差する部分を圧電セルとし、積層された一対のメモリセルと圧電セルがマトリクス状に配列されたことを特徴とする請求項1記載のメモリ装置。

(4) 前記メモリセルを複数層積層したことを特徴とする請求項3記載のメモリ装置。

(5) 請求項1記載のメモリ装置の記録・再生方法において、

前記強誘電体層に対して前記書き込み電極から正又は負のパルス状の電圧を印加して前記強誘電体層を正又は負のいずれかの状態に分極し、この残留分極を強誘電体層に不揮発的に記憶し、前記圧電体層に前記読み出し電極からパルス状の電圧を印

加し、この電圧印加による逆圧電効果によって発生する応力を前記強誘電体層に及ぼして、前記強誘電体層の残留分極の極性を読出すことを特徴とするメモリ装置の記録・再生方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、強誘電体を記録媒体に用いたメモリ装置およびその記録・再生方法に関する。

(従来の技術)

従来より、ヒステリシス特性を有する強誘電体を記憶媒体として用い、この強誘電体の上下に電極を配置したメモリセルを2次元状に配置し、各メモリセルをマトリクス配線してXYアドレス方式で記録・再生可能にしたメモリ装置が知られている。

第13図にこの種の強誘電体メモリのメモリセルの素子断面構成を示す。この強誘電体メモリは、p型シリコン基板1上の互いに離間した位置にn層2、3が形成され、この2つのn層2、3上に酸化膜4が形成されている。さらにこの酸化膜4

上に強誘電体層5、ゲート電極6が積層されている。

この様に構成されたメモリにおいて、正の電圧をゲート電極6に印加すると、強誘電体層5は第13図(b)に示すように分極し、負の電圧をゲート電極6に印加すると、第13図(c)に示すように分極する。この分極状態は電圧印加を止めると、印加電圧に応じて2つの状態の残留分極を示す。すなわち、不揮発性メモリとして機能する。

この様な残留分極を示している強誘電体5にゲート電極6から正又は負の電圧を印加することにより、分極状態の差はソース、ドレイン間(2, 3)の抵抗を変える為、その抵抗値の大小を検出することによって、“0”か“1”の情報を読出す事ができる。

また、記憶媒体として強誘電体を用い、この強誘電体に記憶された情報を非破壊的に読出すために超音波を用いたメモリ装置が、例えば特開昭49-19738号公報に記載されており、その構成を第14図(a)～(c)に示す。おな、同図(a)

は上面図、同図(b)は断面図、同図(c)は下面図である。

このメモリ装置は、強誘電体層11の上面に書き込み電極12がマトリクス状に形成され、この書き込み電極12の各列ごとに各列の書き込み電極12を囲むようにして励起電極13が形成されている。また、強誘電体層11の下面には、励起電極13と直交する方向でかつ書き込み電極12に対向した位置に2本の平行電極14、15からなる放電ラインが形成されている。放電ライン間には素子の縁部で互いに接続される遮蔽電極16が形成されている。そして、励起電極13、これと対向配置された遮蔽電極16およびこの電極間に位置する強誘電体とから圧電トランスデューサのメモリセルが形成される。また、このメモリセルに隣接する書き込み電極12、これに対向配置される電極14、15およびその間に位置する強誘電体とから電極14、15を出力端子とする圧電トランスデューサが形成されている。

このメモリ装置は、メモリセルと読出し用の圧

電トランスデューサとが同一面内に形成され、圧電トランスデューサによって平面方向に伝播された応力が隣接するメモリセルに与えられ、メモリセルの記憶情報に応じた電荷が発生して出力電圧が変化し、この変化が圧電トランスデューサの出力側で検出される。

(発明が解決しようとする課題)

しかしながら、上述した第13図に示す各メモリ装置は、ゲート電極6に読出し電圧を印加して残留分極を完全に反転させてしまうので、必然的に破壊読出しとなってしまふ。

また、第14図に示すメモリ装置では、メモリセルと読出し部とが同一面内に形成されるので、複数のメモリセルを集積するのに限界があり、大容量化するためには大きな面積を必要とした。しかも、超音波を平面方向へ伝播させているので、強誘電体層を複数積層して大容量化を図る場合でも各層毎にメモリセルと読出し部を設けなければならず、集積化する上で障害となっていた。

本発明は以上のような実情に鑑みて成されたもの

ので、メモリセルに記憶された情報を非破壊的に読出すことができ、しかも回路構成を簡素化できて3次元化によるメモリの大容量化を図ることができるメモリ装置およびその記録・再生方法を提供することを目的とする。

〔課題を解決するための手段〕

本発明は上記課題を解決するために、印加電圧に応じた圧電特性を示す圧電体層と、この圧電体層の一方の面に積層され圧電体層の逆圧電効果によって発生した応力が伝達される強誘電体層と、この強誘電体層を挟んで対向配置され前記強誘電体層を記憶すべき情報に応じた分極状態にする電圧を印加するための書き込み電極と、前記圧電体層を挟んで対向配置され前記強誘電体層の分極状態を破壊しない程度の応力を発生させる大きさの電圧を印加するための読出し電極と、前記圧電体層と前記強誘電体層とを絶縁する絶縁体とを備えた構成とした。

また、この様に構成されるメモリ装置の記録・再生方法として、強誘電体層に対して前記書き込み

電極から正又は負のパルス状の電圧を印加して前記強誘電体層を正又は負のいずれかの状態に分極し、この残留分極を強誘電体層に記憶し、前記圧電体層に前記読出し電極からパルス状の電圧を印加し、この電圧印加による逆圧電効果によって発生する応力を前記強誘電体層に及ぼして、前記強誘電体層の残留分極の極性を読出すようにした。

〔作用〕

本発明によるメモリ装置によれば、圧電体層に読出し用の電圧が印加されると、それによって発生した応力が強誘電体層に与えられ、強誘電体層の残留分極の極性が記憶情報として読出される。よって、非破壊読出しが可能となる。また、圧電体層と強誘電体層とが積層される事から、平面積が縮小され、積層数を増やすことにより、総メモリセル数に対する平面積はより縮小され、大容量化が容易になる。

〔実施例〕

以下、本発明に係るメモリ装置の実施例について説明する。

第1図は第1実施例の概略的な素子構造を示す図である。このメモリ装置は、圧電特性を有する圧電体膜20の両面にその両面間で互いに直交するストライプ状の電極21、22が配置されている。この圧電体膜20の一方の面には強誘電体膜23が絶縁体膜24を介して対向配置されている。強誘電体膜23の両面にはその両面間で互いに直交するストライプ状の電極25、26が配置されている。なお、ストライプ状の電極21と電極25とは互いに平行で、電極22と電極26も互いに平行となるように配置される。しかも、圧電体膜20の一方の面に形成されたストライプ状の電極21と他方の面に形成された電極22とが交差する交点と、強誘電体膜23側の電極25、26間の交点とは1対1で対応するように各ストライプ状の電極21、22、25、26が配置されているものとする。圧電体膜20の各面の電極21と22とが交差する部分に圧電セルが形成され、強誘電体膜23の各面の電極25と26とが交差する部分にメモリセルが形成される。この

様な積層体が絶縁膜27を介してシリコン基板28上に形成されている。この基板28には、デコダ等からなる周辺回路29がモノリシックに作込まれている。

なお、第2図は一对の圧電セルとメモリセルを抜き出して示す素子断面図である。シリコン基板28の下面に形成された層30は第1図には不図示の音波吸収層である。

周辺回路29の具体的な構成を第3図～第5図に示す。

マトリクス状に配列された各メモリセルは第3図に示すように配線される。この回路は、選択されたメモリセル C_i とその周辺のメモリセル C_x 、 C_y 、 C_{xy} とから閉回路が形成され、選択されたメモリセル C_i と C_y との間に印加電圧 E_a が印加され、 C_y 、 C_{xy} の間に分圧抵抗 r_1 で E_a が $2/3$ に分圧された電圧が印加され、さらに C_x と C_{xy} の間に分圧抵抗 r_1 、 r_2 で E_a が $1/3$ に分圧された電圧が印加されるように構成されている。よって、選択されたメモリセル

C₁には所定電圧E_aが印加され、その他の周辺のメモリセルには(1/3)E_aの電圧が印加される。すなわち、第6図に示すような印加状態となり、周辺のメモリセルへのクロストークが防止される。

また、第4図に示すように、圧電体膜20の両面に形成されたストライプ状の電極21、22は圧電体アドレスデコード41に接続され、強誘電体膜23の両面に形成されたストライプ状の電極25、26が強誘電体アドレスデコード42に接続されている。圧電体アドレスデコード41には読出し電圧印加回路43が接続され、強誘電体アドレスデコード42には書き込み電圧印加回路44が接続されている。また、強誘電体マトリクスを構成する各メモリセルに発生する電圧は、検出回路45で検出され、その検出信号がホストコンピュータ46へ送られる。このホストコンピュータ46からは圧電体アドレスデコード41および強誘電体アドレスデコード42に対して指令信号が与えられる。

る。次に同様の手法により、絶縁体膜24としてTa₂O₅、Si₃N₄又はBaTiO₃、PZTを形成する。さらに、この絶縁膜24上にPt、金等のいずれかからなるストライプ状の下部電極22を付与し、さらにPZT、PT等からなる圧電体膜20を同様の手法で形成した後、ストライプ状の上部電極21を形成する。さらに、圧電体膜20の上面とシリコン基板28の背面及び圧電体膜20、強誘電体膜23の縁部を覆う様にタングステン微粒子を均一に分散したシリコン樹脂をコートする。

以上の工程により、第1図に示すメモリ装置が得られる。

ここで、強誘電体を用いたメモリセルとこのメモリセルに与えられる応力(本実施例の場合は超音波)との関係について説明する。

代表的な強誘電体であるPZTセラミックスは、抗電界E_c以上の電界を印加することによって分極し、この分極状態は電圧の印加を止めた後でも保持される。強誘電体が保持している圧電性の大

第5図は第3図に示す回路と第4図に示す回路とを組合わせてメモリセルおよび圧電セルのドライバ回路を構成した例である。なお、各セルを選択し駆動する具体的な動作については特願昭53-32163号に詳細に記載されているのでここでは省略する。

この様に構成されたメモリ装置を製造する場合は、背面に音波吸収層30をコートしたシリコン基板28上にデコードを初めとした第5図に示す周辺回路をモノリシックに形成する。更に、この基板28上に絶縁膜27を形成する。この絶縁膜27上に白金、金等の下部電極26をストライプ状に形成し、その一端を周辺回路に接続させる。下部電極26の上にPZT(ジルコンチタン酸鉛)、PT(チタン酸鉛)等の強誘電体膜23をゾルーゲル法、スピンコート、スパッタリングによって成膜する。その後、熱処理によってパイロクロア相の無いペロブスカイト結晶膜(強誘電体膜23)を形成し、その上にPt、金等のいずれかからなるストライプ状の上部電極25を付与す

きさは残留分極P_rの大きさと関係している。この残留分極P_rは、強誘電体に与えられる動作電圧や入力エネルギーを小さくすれば、分極状態は破壊されない。

一例として両側に電極が形成された厚さ0.2 μmのPZTセラミックスを考える。PZTの材質にもよるが、800V程度の分極電圧をかけて分極させた後、100V程度の交流電圧を印加すると、交流電圧である為、分極を減極する方向の電圧も印加されることになるが実際には減極することはない。したがって、分極電圧よりも小さな電圧で駆動すれば、分極状態が反転したり破壊したりすることはない。

以上電圧を印加した場合を説明したが、応力が加わった時も同様に考えられる。すなわち、第10図に示す様な強誘電体(圧電性を有する)に、第11図に示すヒステリシス特性における電圧V_cよりも大きな電圧Vを印加することにより、残留分極P_rを発生させる。この様に分極された強誘電体に応力Tが加わり厚さがΔtに変化すると、

これによって発生する電圧 V_{out} は

$$V_{out} = d_{31} \cdot T / \epsilon$$

なる式で得られる。応力を印加した瞬間残留分極 P_r はいくらか変化するが応力 T を取り除くと再び元の状態 P_r に戻る。この時、印加する応力の極性 ($T > 0$ 、 $T < 0$) と分極 P_r の極性と発生電圧 V_{out} の極性との間には以下の様な関係がある。

分極	応力	発生電圧
$P_r > 0$	圧力	$V_{out} < 0$
	引張力	$V_{out} > 0$
$P_r < 0$	圧力	$V_{out} > 0$
	引張力	$V_{out} < 0$

この関係から同じ応力を印加した時の発生電圧を見れば分極 P_r の極性を判別することができる。実際には交流的な応力例えば音響振動や電圧音波振動を印加し、発生した交流電圧の位相が超音波振動の位相と合っているか、逆位相になっているかで分極 P_r の極性を判別する。

以上説明したような応力と発生電圧と分極極性

の様子を第12図(a)～(c)に示す。強誘電体が正の残留分極 P_r となっている場合は、応力を印加したときの発生電圧は正の極性となる。また、負の残留分極 $-P_r$ の場合は、発生電圧は負の極性となる。なお、同図に示す強誘電体メモリは一層であるが2層以上の場合も同様である。又、1セル分のみをモデル的に記してあるが、2次元にマトリックス化された高密度メモリでも同じ効果が得られる。但し、この時は、クロストークを抑える為にでなるべくポアソン比の小さい強誘電体材料を用いることが望ましく、例えば $PbTiO_3$ を用いることが望ましい。

この様な本実施例において、所定のメモリセルにデータを書込む場合は、ホストコンピュータ46から書込み指令がアドレスと共に送られ、強誘電体アドレスデコーダ42により書込まれるメモリセルが選択される。強誘電体アドレスデコーダ42にて選択されたメモリセルには書込み電圧印加回路44から書込み電圧 E_a が印加される。このとき、その周辺のメモリセルには、第3図に

示す回路によって、(1/3) E_a の電荷しか印加されない。その結果、周辺のメモリセルの記憶状態を破壊することなく選択したメモリセルに情報が書込まれる。

次に、所定のメモリセルからデータを読出す場合は、ホストコンピュータ46から読出し指令がアドレスと共に圧電体アドレスデコーダ41へ送られ、そのアドレスにある圧電セルに読出し電圧印加回路43から電圧が印加される。この電圧印加に伴って、圧電セルから選択されたメモリセルに向けて超音波が伝播される。この応力波によって選択されたメモリセルに発生する電圧の変化が検出回路45で検出され、この検出信号がホストコンピュータ46へ送られ、そこでデータが読取られる。

この様な本実施例によれば、強誘電体膜23に圧電体膜20を積層し、この圧電体膜20から強誘電体膜23の各メモリセルに超音波(応力)を与えて、各メモリセルに蓄積された情報の違いにより生じる電圧の違いを検出するようにしたので、

非破壊で各メモリセルの情報を読出すことができる。しかも、各メモリセルへの書込み電圧の印加は第3図に示す回路を用いて行われるので、クロストークにより周辺メモリセルの記憶状態が破壊されるのを確実に防止することができる。

また、本実施例は強誘電体膜23に圧電体膜20を積層したものであるので、第14図に示すようなメモリ部と読出し部とを同一面内に形成するメモリ装置に比べて高密度にメモリセルを作込むことができ、大容量化を図ることができる。

次に、本発明の第2実施例について説明する。

第7図は第2実施例となるメモリ装置の概略的な電子構造を示す図である。なお、第1図に示す第1実施例と同一機能となる部分には同一符号を付して説明する。このメモリ装置は、第1図に示す絶縁膜24が取り除かれ、圧電体膜20の下部電極22と強誘電体膜23の上部電極25とを共通中間電極31とした構成となっている。

このメモリ装置を製造する場合は、シリコン基板28上に第5図の如き周辺回路をモノリシック

に形成する。そして、シリコン基板28上に形成されたSiO₂等の絶縁層27を介してスパッタリング等の手段でPt、金のいずれかからなるストライプ状の電極26を形成する。次に強誘電体膜23としてPZTやPT等をゾルゲル法又はスパッタリング等で形成する。好ましくはポアソン比の小さいPTが良い。この強誘電体膜23を酸素雰囲気中、600℃付近でアニールしてペロブスカイト単相結晶とした後、ストライプ状の共通中間電極31を下部電極26と直交する様に形成する。この共通中間電極31と電極26とが強誘電体アドレスデコードに接続される。この共通中間電極31上に圧電体膜20としてPZT、PT等をゾルゲル法、スパッタリング等の手段で形成する。好ましくは圧電性の大きなPZTを用いる。ここで、強誘電体膜材料と圧電体膜材料の組合わせは前者がPT等の高抗電界タイプ、後者がPZT等の低抗電界タイプが好ましい。

次に、圧電体膜20の上にストライプ状の電極21を同様の方法で付与する。このストライプ状

の電極21は圧電セル動起用の圧電体アドレスデコードに接続する。なお、圧電体アドレスデコードと強誘電体アドレスデコードと第1～第3のアドレスデコードからなり、第1のアドレスデコードは下部電極26に接続され、第2のアドレスデコードは共通中間電極に接続され、第3のアドレスデコードは上部電極21に接続される。

以上の様にして第7図に示すメモリ装置が製造される。

第8図は本実施例に係るメモリ装置の一对の圧電セルとメモリセルとを抜出して示す素子断面図である。

次に、本実施例の動作について説明する。

まず、全てのメモリセルおよび全ての圧電セルを“1”の状態にイニシャライズする。尚、全ての圧電セルが同一の分極状態にあれば必ずしも“1”の状態、即ち-Prの状態でなくても良い。このイニシャライズは強誘電体膜23の上部電極と圧電体膜20の下部電極が共通（共通中間電極31）なので、第2のアドレスデコードを通して

一挙に“1”の状態にできる。

次に以下の様な書き込みを行う。所定のメモリセルを第1、第2のアドレスデコード（強誘電体アドレスデコード）を通して選択する。

“1”→“0”の書き込みを行う場合はイニシャライズに要した電圧-V₀₁と逆極性の+V₀₁電圧を印加する。この時、圧電セルにV₀₁と逆極性の電圧がかからない様にするために、共通中間電極31と同電位の電圧を対応した圧電セルに第3のアドレスデコードを通して印加する。第3のアドレスデコードは常に第1のアドレスデコードで選択したアドレスと同じアドレスの電極ラインを選択する様になっている。

以上の様にして圧電セルの分極状態を変化させずに特定のメモリセルに書き込みが出来たことになる。

次に読出し動作について説明する。

圧電セルの分極状態を破壊しない様な印加電圧を圧電セルへ印加する。例えば印加電圧がV、圧電定数がd₁₁、ヤング率がY、圧電セルの表面積

をS、厚さをdとすると応力Fは

$$F = (S/d) d_{11} Y \cdot V$$

で表わされる。この応力Fは電圧Vがパルス状の場合には、振動という形で対応するメモリセルへ伝達される。メモリセルはこの振動を受けて歪み、圧電効果によって電極表面に電荷を発生する。この電荷の発生は強誘電体の誘電率がεの時、 $V = d/\epsilon F$ で表され、その極性で又入力インピーダンスの低い回路でこの電荷を検出する場合は電流の極性でメモリ状態の読み出しができる。

この様な第2実施例によっても上記第1実施例と同様に非破壊読出しが可能となる。

次に、本発明の第3実施例について説明する。

第9図は第3実施例を示す図である。本実施例は、基板50上に圧電体膜51が1層だけ形成され、この上に絶縁膜52と強誘電体膜53とが交互に複数積層されている。圧電体膜51および各強誘電体膜53には、各膜の両面には電極がそれぞれ形成されている。すなわち、強誘電体とこの強誘電体を挟む電極とからなるメモリセルが積層

方向に複数個形成され、この複数個のメモリセルに応力を与える圧電セルが一つ形成された構成となっている。この様な、積層された複数個のメモリセルと一つの圧電セルが2次元状に配列され、各アドレスが前記実施例と同様にストライプ電極によって選択されるようになっている。

このような第3実施例によれば、圧電薄膜51による応力波(超音波)は強誘電体膜51の積層方向に伝播し、各層の同じ番地のメモリセルに作用する。この同一番地のメモリセルを各層に接続されているアドレスデコードで選出し、そのセルからの出力をセンスアンプに入力し、その出力極性を検出回路によって検出する。この検出される極性は各層に記憶されている情報に対応するので、各層のメモリ情報が読出されることとなる。

尚、第2実施例では圧電薄膜20に印加する電圧をリファレンスとしているが、本実施例で圧電薄膜51に印加した電圧をそのままリファレンスとすると、圧電薄膜51から離れた層は応力波が到達する迄の時間に差が生じるため、タイミング

良く加算できない場合がある。

そこで本実施例では、各メモリセルが形成される各層に分極反転しないダミーセルを配置し、圧電薄膜51のダミーセルによる応力波によって発生した各強誘電体膜53のダミーセルからの出力をリファレンスとして用いるように構成されている。

以下、第9図に従って詳述する。各層に配置されたダミーセル531、532、533…は、応力波を発生するダミーセル駆起用セル51の真上に配列するようにし、また、メモリセル611、612、613…のいずれも同一の強誘電体薄膜を用いている。すなわち、ダミーセル531、532、533…はすべて同一方向の分極状態にし、またメモリセルは記憶状態に応じて分極方向を決めることとなる。ダミーセル駆起用セル51とメモリセル611、612、613…の非破壊読出し用セル60は、共に同じ圧電薄膜内にあり、駆起時は同じタイミングで同位相、同振幅の電圧を印加する。そうすると、例えばメモリセル

611の分極状態がダミーセル531の分極方向と同方向の分極状態であれば、メモリセル611の読出し波形は、ダミーセル531の読出し波形とはほぼ同じになる。従って、両出力の作動出力を取ることににより、ダミーセルの分極方向を基準にしたメモリセルの分極方向、すなわち記憶状態がわかる。さらに、一層上のメモリセル612とダミーセル532の関係においても同様である。各層間にはストライプ電極間のショートを防ぐために絶縁薄膜52が形成してある。これによって、読出し用応力波は、層が上になるほど乱れた波形になるが、その状況はダミーセルにおいても同様であり、従って各層毎にダミーセルとメモリセルとの差を検出する意味が出てくるのである。なお、読出し用圧電セル60から駆起される圧電応力波は、各メモリセル層を伝播するにしたがって若干変形するが、極性は変化しない。従って、常にダミーセルとの相関をとることにより、各層のメモリ状態を正解に、しかも非破壊で読出せることになる。

(発明の効果)

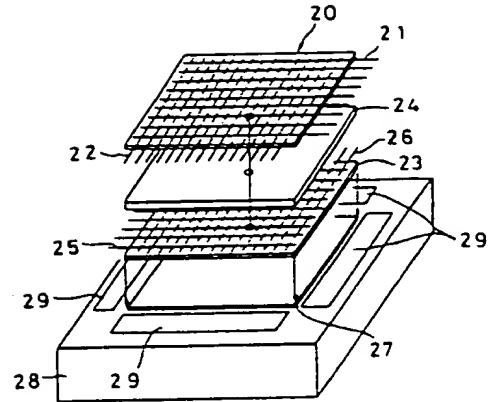
以上詳記したように本発明によれば、メモリセルに記憶された情報を非破壊的に読出すことができ、しかも回路構成を簡素化できて3次元化による大容量化を図ることができるメモリ装置およびその記録・再生方法を提供できる。

4. 図面の簡単な説明

第1図は第1実施例となるメモリ装置の概略的な構成を示す図、第2図は同実施例の素子断面図、第3図～第5図は同実施例の周辺回路図、第6図は選択されたセルとその周辺セルの電圧印加状態を示す図、第7図は第2実施例となるメモリ装置の概略的な構成を示す図、第8図は同実施例の素子断面図、第9図は第3実施例の素子断面図、第10図は強誘電体に与えられる応力と発生電圧との関係を説明するための図、第11図は強誘電体のヒステリシス特性を示す図、第12図は強誘電体の残留分極と発生電圧との関係を示す図、第13図は強誘電体を用いたメモリ素子の断面図、第14図は圧電素子を用いたメモリ装置を示す図

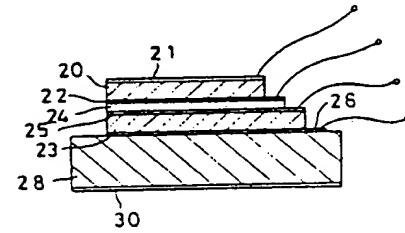
である。

20…圧電体膜、21、22、25、26…ストライプ状の電極、23…強誘電体膜、24、27…絶縁膜、28…シリコン基板、29…周辺回路、30…音波吸収層。

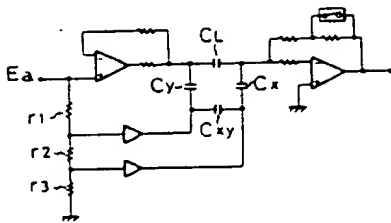


第1図

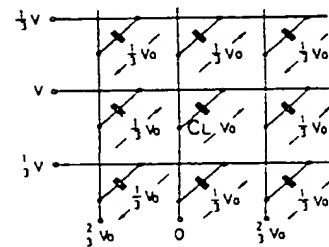
出願人代理人 井理士 坪井 淳



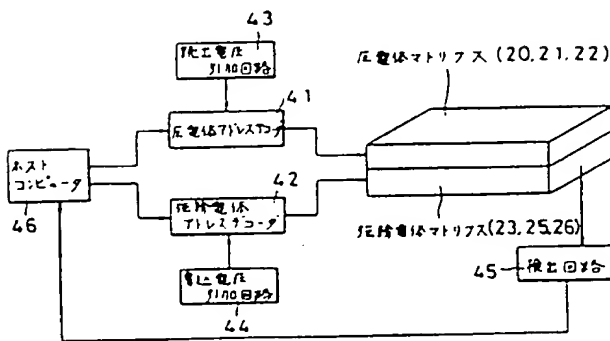
第2図



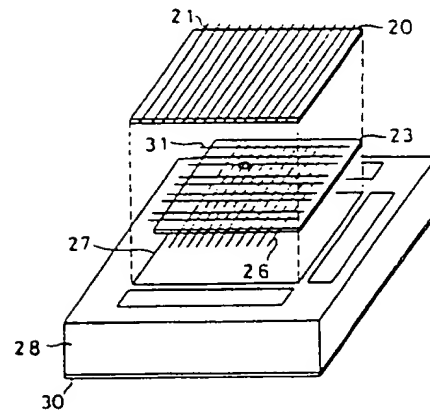
第3図



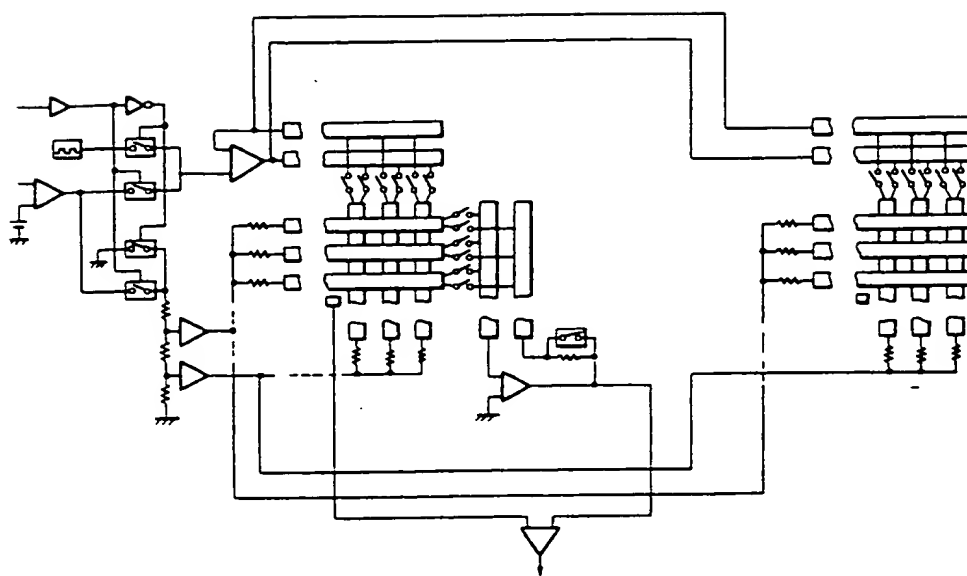
第6図



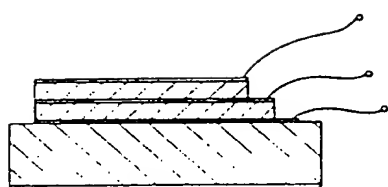
第4図



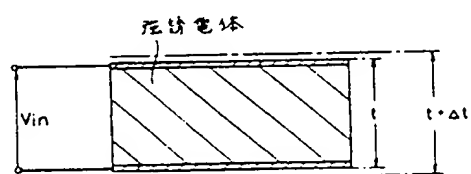
第7図



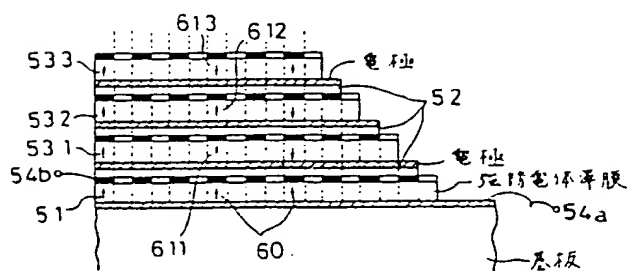
第 5 図



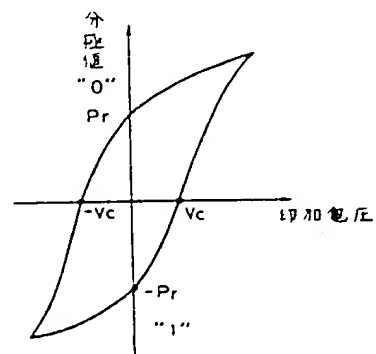
第 8 図



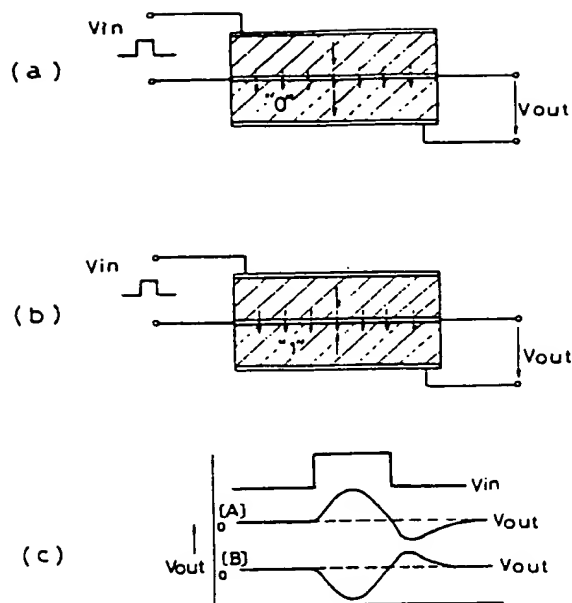
第 10 図



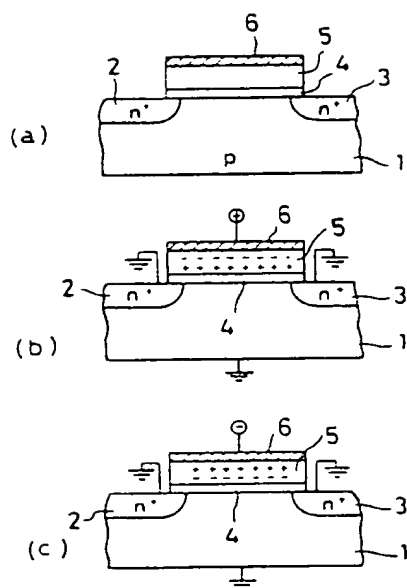
第 9 図



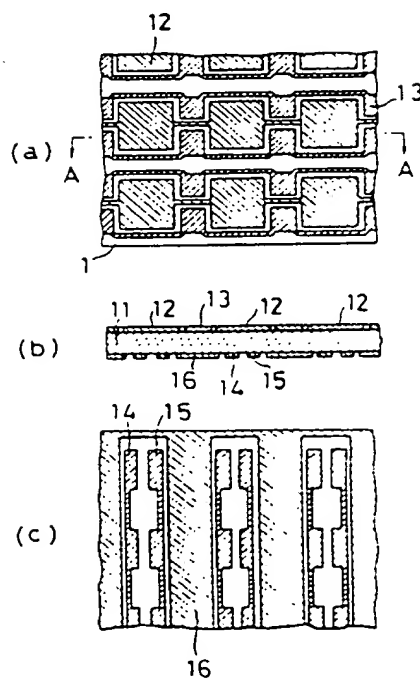
第 11 図



第12図



第13図



第14図

手 続 補 正 書

平成 2 年 11 月 6 日

特許庁長官 植 松 敏 殿

1. 事件の表示

特願平2-145621号

2. 発明の名称

メモリ装置およびその記録・再生方法

3. 補正をする者

事件との関係 特許出願人

(037) オリジナル光学工業株式会社

4. 代理人

東京都千代田区篠が関3丁目7番2号

〒100 電話 03(502)3181(大代表)

(6881) 弁理士 坪 井 淳

5. 自発補正

6. 補正の対象

明細書、図面



メモリ回路4を選択するように選択信号を受けるワード線5に接続してある。トランジスタ3のソース端子は、データ状態を強誘電体コンデンサ2に伝送し、コンデンサ2からデータ状態を受けるビット線6に接続してある。ワード線5による信号が高状態にあるときは、トランジスタ3はターン・オン状態になることにより強誘電体コンデンサ2を駆動線4及びビット線6の間に直列に接続する。ワード線5によりトランジスタ3がターン・オン状態になった後、駆動線4は0から正の電圧状態になる。コンデンサ2が負の分極状態データ「1」を持つように前もってセットされているときは、駆動線4の立ち上がる電圧はコンデンサ2の前後に電界を加える。また、第13図(b)に示すように、これはヒステリシス曲線に沿って点P(1)から上向きに右方にコンデンサ2の分極P3になるまで移行する移動である。駆動線電圧が低下すると、分極は上部曲線に沿って点P(0)に戻る。

これをセンスアンプで検出することによって

7. 補正の内容

(1) 特許請求の範囲を別紙の通り訂正する。

(2) 明細書第3頁第16行目から第4頁第15行目に掛けて「第13図に……事ができる。」とあるを下記の通り訂正する。

記

「第13図に従来例によるメモリ・セル回路を例示してある。

メモリ回路1は強誘電体コンデンサ2及びアクセストランジスタ3を備えている。強誘電体コンデンサ2は、下向きの矢印により示すようにデータ「1」の分極状態を持つようにセットすることができる。この矢印は負の分極状態を示す。コンデンサ2はさらに、上向きの矢印により示したデータ「0」状態を持つようにセットすることができる。アクセス・トランジスタ3は、強誘電体コンデンサ2の一方の端子にドレイン端子を接続したMOSエンハンスメント・モード・デバイスである。コンデンサ2の第2の端子は駆動線4に接続してある。トランジスタ3のゲート端子は、メ

「1」の状態を読み出すが、読出し後は点P(1)から点P(0)まで状態が変化しているので破壊読出しとなる。即ち、読出し、書き込みによってヒステリシスカーブを一周することになる。この事は、ヒステリシスカーブで囲った面積に相当するヒステリシス損失が発生することであり、消費電力の増加につながる。さらに、一度の読出し、書き込みで2度の分極スイッチングさせることになり、疲労という問題からも好ましくない。」

(3) 明細書第6頁第9行目に「ゲート電極6に読出し電圧を印加して」とあるを削除する。

(4) 明細書第7頁第7行目から第8行目に掛けて「印加電圧に応じた」とあるを削除する。

(5) 明細書第26頁第18行目から第19行目に掛けて「第13図は……断面図、」とあるを「第13図(a)はメモリセルの回路図、第13図(b)は同回路図の動作説明図、」に訂正する。

(6) 図面の第13図を別紙の通り訂正する。

2. 特許請求の範囲

(1) 圧電特性を示す圧電体層と、この圧電体層の一方の面に積層され、圧電体層の逆圧電効果によって発生した応力が伝達するように積層した強誘電体層と、この強誘電体層を挟んで対向配置され前記強誘電体層を記憶すべき情報に応じた分極状態に分極するための電界を発生させる書き込み電極と、前記圧電体層を挟んで対向配置され前記強誘電体層の分極状態を破壊しない程度の応力を発生させる大きさの電界を発生させる読出し電極とを具備したことを特徴とするメモリ装置。

(2) 前記圧電体層と前記強誘電体層との間に配置される前記書き込み電極および前記読出し電極の各電極片を共通電極片としたことを特徴とする請求項1記載のメモリ装置。

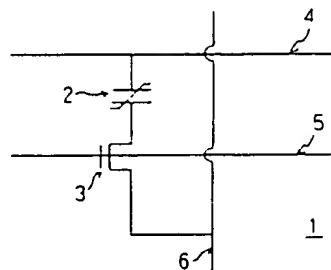
(3) 前記書き込み電極および読出し電極は前記圧電体層および前記強誘電体層のそれぞれの両面間で互いに直交するストライプ状の電極からなり、強誘電体層の一方の面に形成されたストライプ状の電極片と強誘電体層の他方の面に形成されたスト

ライプ状の電極片とが交差する部分をメモリセルとし、圧電体層の一方の面に形成されたストライプ状の電極片と圧電体層の他方の面に形成されたストライプ状の電極片とが交差する部分を圧電セルとし、積層された一対のメモリセルと圧電セルがマトリクス状に配列されたことを特徴とする請求項1記載のメモリ装置。

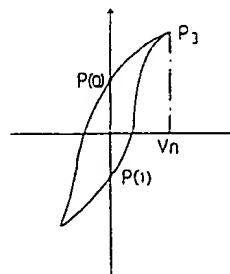
(4) 前記メモリセルを複数層積層したことを特徴とする請求項3記載のメモリ装置。

(5) 請求項1記載のメモリ装置の記録・再生方法において、

前記強誘電体層に対して前記書き込み電極から正又は負のパルス状の電圧を印加して前記強誘電体層を正又は負のいずれかの状態に分極し、この残留分極を強誘電体層に不揮発的に記憶し、前記圧電体層に前記読出し電極からパルス状の電圧を印加し、この電圧印加による逆圧電効果によって発生する応力を前記強誘電体層に及ぼして、前記強誘電体層の残留分極の極性を読出すことを特徴とするメモリ装置の記録・再生方法。



第13図(e)



第13図(w)